

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor : : Masaaki SHIMOOKA
Filed : Concurrently herewith
For : HIGH SPEED ADDER
Serial No. : Concurrently herewith

October 28, 2003


Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application number **2002-339707** filed **November 22, 2002**, a copy of which is enclosed.

Respectfully submitted,



Michael I. Markowitz
Reg. No. 30,659

Katten Muchin Zavis Rosenman
575 Madison Avenue
New York, NY 10022-2585
(212) 940-8800
Docket No.: NEC 20.689

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 2 日
Date of Application:

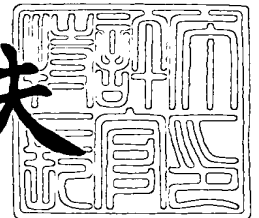
出 願 番 号 特 願 2 0 0 2 - 3 3 9 7 0 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 3 9 7 0 7]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 7 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 9 9 1 1

【書類名】 特許願
【整理番号】 71110562
【あて先】 特許庁長官殿
【国際特許分類】 G06F 7/50

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C エレクトロニクス株式会社内

【氏名】 下岡 正明

【特許出願人】

【識別番号】 302062931
【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100109313
【弁理士】
【氏名又は名称】 机 昌彦
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268
【弁理士】
【氏名又は名称】 河合 信明
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637
【弁理士】
【氏名又は名称】 谷澤 靖久
【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 加算回路および加算回路を備えた半導体装置

【特許請求の範囲】

【請求項 1】 下位ビットからの桁上げがある場合と桁上げがない場合とを表す 1 対の信号からなる仮のキャリー情報を予め生成し下位からの選択情報に基づき前記仮のキャリー情報から真のキャリー情報を選択することによりキャリー情報の伝搬を高速化した加算回路において、

キャリー情報の伝搬経路の所定の部分に前記仮のキャリー情報を下位ビットからの桁上げがある場合と桁上げがない場合とを示す 1 対の信号からなる仮のビット和情報に変換する変換回路を設けたことを特徴とする加算回路。

【請求項 2】 前記キャリー情報の伝搬経路は、

2^N (N は 3 以上の整数) ビットの加算回路において最大で $(N+1)$ 段の回路ステージを有し、

1 段目の回路ステージでは、外部から 2 つの入力データをビット毎に対応して入力するとともに入力キャリー信号を入力し、最下位ビットのビット和を生成して外部へ出力するとともに、最下位ビットを除く各ビットに対応して仮のキャリー情報を生成して後段の回路ステージへ出力し、

2 段目から N 段目の回路ステージでは、前記仮のキャリー情報の中の最上位を除いた上位 $(2^{(N-1)} - 1)$ ビット分に対応する仮のキャリー情報が伝播の途中で前記変換回路により前記仮のビット和情報に変換され、最下位を除いた下位 $(2^{(N-1)} - 1)$ ビット分に対応する仮のキャリー情報から真のキャリー情報を生成し、

$(N+1)$ 段目の回路ステージでは、前記 2 つの入力データの和データのうち前記最下位のビット和を除くデータと出力キャリー信号とを外部へ出力することを特徴とする請求項 1 に記載の加算回路。

【請求項 3】 前記変換回路は、

入力データの最上位ビットから最下位ビットの順序で配置したときに、 $1 \leq M < N$ を満たす整数 M により定まる $(N-M+1)$ 段目のステージにおいて入力データの最上位ビットから数えて $(2^{(N-M-1)} + 1)$ 番目のビットから $2^{(N-M)}$ 番目の

ビットまでに対応してそれぞれ配置されることを特徴とする請求項 2 に記載の加算回路。

【請求項 4】 前記 1 段目の回路ステージは、

2^N ビットのうちの最上位ビットから最下位よりもひとつ上のビットまでのそれぞれに対応して設けられ前記 2 つの入力データの対応するビットを入力して排他的論理和を計算するとともに下位ビットから桁上げがある場合と桁上げがない場合の 1 対の信号からなる仮のキャリー情報を生成して出力する $(2^N - 1)$ 個の条件セル回路と、

前記 2 つの入力データの最下位ビットと入力キャリー信号とを入力して排他的論理和信号と桁上げ信号を生成する 1 個のフルアダーと、を備えることを特徴とする請求項 2 に記載の加算回路。

【請求項 5】 前記回路ステージのうち $1 \leq M < N$ を満たす整数 M により定まる $(N - M + 1)$ 段目の回路ステージは、

該回路ステージを前記入力データの $2^{(N-M)}$ ビット毎に対応して 2^M 個の部分回路に仮想的に分割したときに、

最下位ビットから上位の方に数えて $2^{(N-M)}$ 番目に対応するビットからの入力を含む第 1 の部分回路の上位の $2^{(N-M-1)}$ ビットに対応して設けられ、それぞれが、前の回路ステージにおいて対応するビットに設けられた条件セル回路またはキャリー選択回路の出力である 1 対の信号を入力し、前記第 1 の部分回路内の上位より数えて $(2^{(N-M-1)} + 1)$ 番目のビットに対応する 1 段前段の回路ステージ中のビットに設けられたフルアダーまたはマルチプレクサから出力される信号を入力し該信号に基づいて真のキャリー信号を選択して出力する $2^{(N-M-1)}$ 個のマルチプレクサと、

最上位ビットに対応するキャリー信号を入力を含む第 2 の部分回路または前記第 2 の部分回路から下位の方に数えて 2 番目乃至 $(2^M - 1)$ 番目に相当する第 3 の部分回路のいずれかに該当する部分回路の上位の $2^{(N-M-1)}$ ビットに対応して設けられ、それぞれが、前の回路ステージにおいて対応するビットに設けられた条件セル回路、キャリー選択回路または変換回路の出力である 1 対の信号を入力し、部分回路内の上位より数えて $(2^{(N-M-1)} + 1)$ 番目のビットに対応する

1 段前段の回路ステージ中のビットに設けられた条件セル回路またはキャリー選択回路の出力である 1 対の選択用の信号を入力し該選択用の信号に基づいて後の回路ステージにおける仮のキャリー情報または仮のビット和情報を表す 1 対の信号を選択して出力する ($2^{(N-1)} - 2^{(N-M-1)}$) 個のキャリー選択回路と、

前記第 2 の部分回路の下位の $2^{(N-M-1)}$ ビットに対応して設けられ、それぞれが、前の回路ステージにおいて対応するビットに設けられた条件セル回路またはキャリー選択回路の出力であって仮のキャリー情報を表す 1 対の信号と、前記 1 段目の回路ステージにおいて 1 ビット上位の条件セル回路から出力される排他的論理和信号とを入力し、仮のビット和情報を表す 1 対の信号に変換して出力する $2^{(N-M-1)}$ 個の変換回路と、を含むことを特徴とする請求項 4 に記載の加算回路

。

【請求項 6】 前記 ($N+1$) 段目の回路ステージは、

N 段目の回路ステージにおいて前記入力データの最上位ビットに対応して設けられた最上位のキャリー選択回路から出力される 1 対の信号を入力し、前記 N 段目の回路ステージにおいて前記入力データの最上位ビットから下位の方に数えて ($2^{(N-1)} + 1$) 番目に対応するマルチプレクサから出力された選択用の信号に基づいて出力キャリー信号を選択して出力するマルチプレクサと、

前記入力データの最上位ビットから下位の方に数えて 2 乃至 $2^{(N-1)}$ 番目のビットに対応して設けられ、それぞれが、前記 N 段目の回路ステージにおいて対応するビットに設けられたキャリー選択回路または変換回路から出力された 1 対の信号を入力し、前記 N 段目の回路ステージにおいて前記入力データの最上位ビットから下位の方に数えて ($2^{(N-1)} + 1$) 番目に対応するマルチプレクサから出力された選択用の信号に基づいて選択し 1 ビット上位の真のビット和に相当する信号を出力する ($2^{(N-1)} - 1$) 個のマルチプレクサと、

前記入力データの最上位ビットから下位の方に数えて ($2^{(N-1)} + 1$) 乃至 2^N 番目のビットに対応して設けられ、それぞれが、前の段の回路ステージにおいて対応するビットに設けられたフルアダーまたはマルチプレクサから出力された真のキャリー信号と、1 段目の回路ステージにおいて 1 ビット上位の条件セル回路から出力された排他的論理和信号とを入力し、1 ビット上位の真のビット和に相

当する信号を出力する $2^{(N-1)}$ 個の排他的論理和回路と、を備えることを特徴とする請求項 5 に記載の加算回路。

【請求項 7】 前記条件セル回路は、
2つの入力ビットを入力し論理積をとり出力する第 1 のゲートと、
前記 2つの入力ビットを入力し論理和をとり出力する第 2 のゲートと、
前記第 1 のゲートの出力を入力し反転して出力する第 3 のゲートと、
前記第 2 のゲートの出力と前記第 3 のゲートの出力とを入力し論理積をとり出力する第 4 のゲートとを備え、
前記第 1 のゲートの出力を下位ビットからの桁上げがないとした場合のキャリー信号である第 1 のキャリー信号とし、
前記第 2 のゲートの出力を下位ビットからの桁上げがあるとした場合のキャリー信号である第 2 のキャリー信号とし、
前記第 4 のゲートの出力を前記 2つの入力ビットの排他的論理和の演算結果として出力することを特徴とする請求項 4, 5 または 6 に記載の加算回路。

【請求項 8】 前記変換回路は、
仮のキャリー情報を表す 1 対の信号の一方と前記 1 段目のステージにおいて 1 ビット上位のビットの条件セル回路から出力される排他的論理和信号とを入力し仮のビット和情報を表す 1 対の信号の一方を出力する第 1 の排他的論理和回路と、

前記仮のキャリー情報を表す 1 対の信号の他方と前記排他的論理和信号とを入力し前記仮のビット和情報を表す 1 対の信号の他方を出力する第 2 の排他的論理和回路と、を備えることを特徴とする請求項 5 または 6 に記載の加算回路。

【請求項 9】 前記キャリー選択回路は、
仮のキャリー情報を表す 1 対の入力信号を入力し、1 対の選択用の信号の一方に基づいて前記 1 対の入力信号のうち 1 つの信号を選択して 1 対の出力信号の一方として出力する第 1 のマルチプレクサと、
前記 1 対の入力信号を入力し、前記 1 対の選択用信号の他方に基づいて前記入力信号のうち 1 つを選択して前記 1 対の出力信号の他方として出力する第 2 のマルチプレクサと、を備えることを特徴とする請求項 5 または 6 に記載の加算回路

。

【請求項 10】 請求項 1 乃至 9 に記載の何れかの加算回路を備えることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は加算回路に関し、特に高速で動作する加算回路およびこれを備えた半導体装置に関する。

【0002】

【従来の技術】

コンピュータの高速化に伴い、より高速な演算回路が必要となり、その重要な部品である加算回路の高速化技術が重要になっている。高速な加算回路を実現する技術は多数知られているが、なかでも条件和加算回路(conditional sum adder)は、最も高速な加算回路の 1 つとして広く知られている。

【0003】

図 9 は第 1 の従来例である 4 ビットの条件和加算回路の回路図である。図 9 に示すように、第 1 の従来例では、2 進数 (A_3, A_2, A_1, A_0) と (B_3, B_2, B_1, B_0) とを加算する場合に、1 段目の回路ステージ 21 において条件セル回路 (conditional cell) 111 が、下位ビットからの桁上げがある場合のビット和信号 (例えば S_{0_1}) および桁上げがない場合のビット和信号 (例えば S_{1_1}) を含む仮のビット和情報と、下位ビットからの桁上げがある場合のキャリー信号 (例えば C_{0_1}) および桁上げがない場合のキャリー信号 (例えば C_{1_1}) を含む仮のキャリー情報との両方を生成して出力する。2 段目の回路ステージ 22 では、下位からのキャリー信号に基づいてマルチプレクサ (MUX) 120 で 2 つの仮ビット和及び仮キャリー信号のうちの一方を選択することによって次段に伝搬させ、3 段目の回路ステージ 23 において真のキャリー信号により真のビット和 S_0 乃至 S_3 および出力キャリー信号 C_{out} が生成されて加算回路の外部へ出力する。第 1 の従来例では 2^N ビットの加算回路を $(N+1)$ 段の回路ステージで実現できるため、高速動作が可能であ

る。しかしながら第1の従来例は、多数のマルチプレクサを含むとともに配線本数も多いので消費電力が大きい（例えば、非特許文献1参照。）。

【0004】

消費電力を低減すべく改良された加算回路として第2の従来例の条件キャリー加算回路(conditional carry adder)がある。図10は16ビットの条件キャリー加算回路の回路図である。図10に示すように、第2の従来例では、条件セル回路(conditional cell)100（図2（b）に回路図を示す）は、1段目の回路ステージ31において第1の従来例における条件セル111とは異なり、2つの入力ビットの排他的論理和信号（例えばS0__1）と、下位ビットからの桁上げがある場合のキャリー信号および桁上げがない場合のキャリー信号の1対の信号からなる仮のキャリー情報を生成して出力する。2段目の回路ステージ32から5段目の回路ステージ35では、下位からのキャリー信号に基づいてマルチプレクサ(MUX)120およびキャリー選択回路(carry selector)110により次段の回路ステージに送るキャリー信号を選択して順次伝搬させ、排他的論理和回路130を含む6番目のステージ36で真のビット和S__1乃至S__15が生成されて加算回路の外部へ出力される。第2の従来例は、仮のキャリー情報だけを生成して伝搬すればよく、仮のビット和情報を必要としないためにマルチプレクサの個数（キャリー選択回路はマルチプレクサ2個として計数）を削減でき、したがって動作時の消費電力の低減が可能である。

【0005】

【非特許文献1】

Kuo-Hsing Cheng、外2名、「条件和加算回路の低電力分野への適用のための改良(The improvement of conditional sum adder for low power applications)」、アイイーイーイー(IEEE)、1998年エイシックスコンファレンス予稿集(ASIC Conference 1998. Proceedings)、p. 131-134（第1の従来例はp. 133のFig.6、第2の従来例は同ページのFig.7）

【0006】

【発明が解決しようとする課題】

しかしながら、第2の従来例では、 2^N ビットの加算回路を実現するためには

(N+2) 段の回路ステージが必要であり、同じ 16 ビットの加算器で比較した場合に、第 1 の従来例の 5 段に対して第 2 の従来例では 6 段となり、クリティカルパスの論理段数が 1 段増加するので回路動作の高速性においては不利となる。

【0007】

本発明の目的は、第 1 の従来例と同等の速度（すなわち第 2 の従来例よりも高速）での動作を維持しながら、第 1 の従来例よりもマルチプレクサ等の単位回路の個数、および配線数の削減により低電力で動作できる加算回路を提供することである。

【0008】

【課題を解決するための手段】

本発明の加算回路は、下位ビットからの桁上げがある場合と桁上げがない場合とを表す 1 対の信号からなる仮のキャリー情報を予め生成し下位からの選択情報に基づき前記仮のキャリー情報から真のキャリー情報を選択することによりキャリー情報の伝搬を高速化した加算回路において、キャリー情報の伝搬経路の所定の部分に前記仮のキャリー情報を下位ビットからの桁上げがある場合と桁上げがない場合とを示す 1 対の信号からなる仮のビット和情報に変換する変換回路を設けたことを特徴とする。

【0009】

【発明の実施の形態】

以下、本発明の好ましい実施形態について図面を参照しながら詳細に説明する。なお、以下の説明は本発明の代表的な実施の形態を示すものであり、本発明が以下の説明に限定されて解釈されるものではない。

【0010】

図 1 は、本発明の加算回路の一実施例である 16 ビットの加算回路の回路図である。図 1 において加算回路は、16 ビットの入力データ (A_{15} , A_{14} . . . , A_0) および (B_{15} , B_{14} . . . , B_0) と入力キャリー信号 C_{in} とを入力し、その和を表す 16 ビットのビット和出力信号 (S_{15} , S_{14} . . . , S_0) と出力キャリー信号 C_{out} とを出力することは図 10 の第 2 の従来例と同様であるが、図 10 の回路ステージ 36 の S_1 から S

__8 を出力する排他和回路が最終ステージに収められ、S__9 から S__15 を出力する排他和回路が、1 対のキャリー信号からなる仮のキャリー情報を入力し 1 対のビット和信号からなる仮のビット和情報に変換して出力する変換回路 140 に置き換えられている点において第 2 の従来例とは異なっている。

【0011】

次に、各回路ステージの構成について詳細に説明する。

【0012】

本発明を適用した 2^N ビットの加算回路では、1 段目の回路ステージは、最上位ビットから最下位よりもひとつ上のビットのそれぞれに対応して設けられ、2 つの入力データの対応するビットを入力して排他的論理和を計算するとともに下位ビットから桁上げがある場合と桁上げがない場合とを表す 1 対の信号からなる仮のキャリー情報を生成して出力する ($2^N - 1$) 個の条件セル回路 (conditional cell) 101 と、2 つの入力データの最下位ビットと入力キャリー信号とを入力して排他的論理和信号と桁上げ信号を生成する 1 個のフルアダー (full adder) 100 とを備えている。条件セル回路 101 の機能、フルアダー 100 の機能は、第 2 の従来例におけるこれらと同様である。

【0013】

図 1 の 16 ビットの加算回路の 1 段目の回路ステージ 11 の内部構成を図 2 (a) に示す。2 つの入力データは、同一桁のビット毎に最上位ビットから下位ビット方向に設けられた 15 ($= 2^4 - 1$) 個の条件セル回路 101 および最下位ビットに対応して設けられた 1 個のフルアダーに入力される。条件セル回路 101 のそれぞれは、入力された 2 つのビットの排他的論理和を生成すると共に、下位のビットからの入力キャリー信号を 0 (桁上げがない) と仮定した場合の出力キャリー信号 (例えば C0__1) と下位のビットからの入力キャリー信号を 1 (桁上げがある) と仮定した場合のキャリー信号 (例えば C1__1) とを生成し 1 対の信号からなる仮のキャリー情報として出力する。したがって、排他的論理和信号 S0__1 乃至 S0__15 と、下位からの桁上げがないと仮定した場合のキャリー信号 C0__1 乃至 C0__15 と、下位からの桁上げがあると仮定した場合のキャリー信号 C1__1 乃至 C1__15 とが、1 段目の回路ステージから出力され

る。A__0とB__0が入力される最下位ビットにはフルアダー100が使用され、入力キャリー信号C_{in}も同時に入力されて真のビット和S__0と真のキャリー-C_{out}__0とが出力される。

【0014】

図2(b)は、条件セル回路101の内部回路の一例を示す回路図である。条件セル回路101は、2つの入力ビット(A__i, B__i)を入力し論理積をとって出力する第1のゲート102と、同じく2つの入力ビットを入力し論理和をとり出力する第2のゲート103と、第1のゲート102の出力を入力し反転して出力する第3のゲート104と、第2のゲート103の出力と第3のゲート104の出力とを入力し論理積をとり出力する第4のゲート104とを備え、第1のゲート102の出力を下位ビットからの桁上げがないとした場合のキャリー信号である第1のキャリー信号(C0__i)とし、第2のゲートの出力を下位ビットからの桁上げがあるとした場合のキャリー信号である第2のキャリー信号(C1__i)とし、第4のゲートの出力を下位からの桁上げがないとした場合の2つの入力ビットのビット和に相当する排他的論理和信号(S0__i)として出力する。

【0015】

本発明の 2^N ビットの加算回路の2段目からN段目までの回路ステージにおいては、 $1 \leq M < N$ を満たす整数Mにより定まる $(N-M+1)$ 段目の回路ステージは次のように構成される。

【0016】

図3は、図1の実施例の16ビット加算回路における2段目の回路ステージ12の内部構成を示す図である。2段目の回路ステージ12は、 $(N-M+1)=2$ となる回路ステージであり、 $N=4$ であるので $M=3$ に対応する。2段目の回路ステージ12では $(N-M)=1$ であるので、入力データの $2^{(N-M)}=2$ ビット毎に対応して $2^M=8$ 個の部分回路P2₁乃至P2₈に仮想的に分割されたとする。

【0017】

このように分割された場合に、最下位ビットA__0、B__0から上位の方に数

えて $2^{(N-M)} = 2$ 番目に対応するビットからの入力を含む第 1 の部分回路である部分回路 P 2₁ 内の上位の $2^{(N-M-1)} = 1$ ビットに対応して 1 個のマルチプレクサ (MUX) 1 2 0 が設けられ、このマルチプレクサは、前の回路ステージである 1 段目の回路ステージ 1 1 において対応するビットに設けられた条件セル回路 1 0 1 の出力であって仮のキャリー情報を表す 1 対の信号 C 0 __ 1 および C 1 __ 1 を入力する。また、このマルチプレクサは部分回路 P 2₁ 内の上位より数えて $(2^{(N-M-1)} + 1) = 2$ 番目のビットに対応する 1 段目の回路ステージ 1 1 中のビットに設けられたフルアダー 1 0 0 から出力されるキャリー信号 C o u t __ 0 を選択用の信号として入力し、これに基づいて真のキャリー信号である信号 3 0 0 を出力する。

【 0 0 1 8 】

また、最上位ビット A __ 1 5、B __ 1 5 に対応するキャリー信号としての信号 C 0 __ 1 5 および C 1 __ 1 5 を入力に含む第 2 の部分回路である部分回路 P 2₈ および部分回路 P 2₈ から下位の方に数えて 2 番目の部分回路 P 2₇ 乃至 $(2^M - 1) = 7$ 番目の部分回路 P 2₂ に相当する第 3 の部分回路のいずれかに該当する各部分回路の上位の $2^{(N-M-1)} = 1$ ビットに対応して $(2^{(N-1)} - 2^{(N-M-1)}) = 7$ 個のキャリー選択回路 (carry selector) 1 1 0 が設けられ、それぞれのキャリー選択回路に、前の回路ステージである 1 段目の回路ステージ 1 1 において対応するビットに設けられた条件セル回路の出力である 1 対の信号が入力される。また、これらのキャリー選択回路のそれぞれは、部分回路内の上位より数えて $(2^{(N-M-1)} + 1) = 2$ 番目のビットに対応する 1 段目の回路ステージ 1 1 中のビットに設けられた条件セル回路 1 0 1 の出力である 1 対の選択用の信号を入力し、この選択用の信号に基づいて後の回路ステージにおける仮のキャリー情報または仮のビット和情報を表す 1 対の信号を選択して出力する。

【 0 0 1 9 】

すなわち、部分回路 P 2₈ 内に含まれる 1 個のキャリー選択回路 1 1 0 は、上位ビットに対応する 1 対の信号 C 0 __ 1 5 および C 1 __ 1 5 を入力し、部分回路 P 2₈ 内の上位より数えて $(2^{(N-M-1)} + 1) = 2$ 番目のビットに対応する 1 対の信号 C 0 __ 1 4 および C 1 __ 1 4 に基づいて選択された 1 対の信号 3 1 5 および

316 を出力する。同様に、部分回路 P 27 内に含まれる 1 個のキャリー選択回路 110 は、上位ビットに対応する 1 対の信号 C 0__13 および C 1__13 を入力し、部分回路 P 27 内の上位から 2 番目のビットに対応する 1 対の信号 C 0__12 および C 1__12 に基づいて選択された 1 対の信号 311 および 312 を出力する。また、部分回路 P 26 内に含まれる 1 個のキャリー選択回路 110 は、上位ビットに対応する 1 対の信号 C 0__11 および C 1__11 を入力し、部分回路 P 26 内の上位から 2 番目のビットに対応する 1 対の信号 C 0__10 および C 1__10 に基づいて選択された 1 対の信号 309 および 310 を出力する。また、部分回路 P 25 内に含まれる 1 個のキャリー選択回路 110 は、上位ビットに対応する 1 対の信号 C 0__9 および C 1__9 を入力し、部分回路 P 25 内の上位から 2 番目のビットに対応する 1 対の信号 C 0__8 および C 1__8 に基づいて選択された 1 対の信号 307 および 308 を出力する。また部分回路 P 24 内に含まれる 1 個のキャリー選択回路 110 は、上位ビットに対応する 1 対の信号 C 0__7 および C 1__7 を入力し、部分回路 P 24 内の上位から 2 番目のビットに対応する 1 対の信号 C 0__6 および C 1__6 に基づいて選択された 1 対の信号 305 および 306 を出力する。また、部分回路 P 23 内に含まれる 1 個のキャリー選択回路 110 は、上位ビットに対応する 1 対の信号 C 0__5 および C 1__5 を入力し、部分回路 P 23 内の上位から 2 番目のビットに対応する 1 対の信号 C 0__4 および C 1__4 に基づいて選択された 1 対の信号 303 および 304 を出力する。また、部分回路 P 22 内に含まれる 1 個のキャリー選択回路 110 は、上位ビットに対応する 1 対の信号 C 0__3 および C 1__3 を入力し、部分回路 P 22 内の上位から 2 番目のビットに対応するビットに設けられた 1 対の信号 C 0__2 および C 1__2 に基づいて選択された 1 対の信号 301 および 302 を出力する。

【0020】

また、第 2 の部分回路である部分回路 P 28 内の下位の $2(N-M-1) = 1$ ビットに対応して 1 個の変換回路 140 が設けられる。この変換回路は、前の回路ステージである 1 段目の回路ステージ 11 において対応するビットに設けられた条件セル回路 101 の出力であって仮のキャリー情報を表す 1 対の信号 C 0__14 およ

びC1__14と、1段目の回路ステージ11において1ビット上位のビットに対応する条件セル回路から出力される排他的論理和信号S0__15とを入力し、仮のビット和情報を表す1対の信号313および314に変換して出力する。

【0021】

マルチプレクサ120は、図4(a)に示すように、1対の入力信号Cin0およびCin1を入力し、選択用の信号Cin1sに基づいて1対の入力信号Cin0およびCin1のうち1つの信号を選択して出力信号Cout1として出力する。選択用の信号Cin1sが1であればCin1を出力信号Cout1として出力し、Cin1sが0であればCin0をCout1として出力する。

【0022】

キャリー選択回路110は、図10の第2の従来例におけるキャリー選択回路と同様の機能を有している。キャリー選択回路110は図4(b)に示すように2個のマルチプレクサ350および351を含み、第1のマルチプレクサ351は、1対の入力信号Cin0およびCin1を入力し、1対の選択用の信号Cin0sおよびCin1sのうちの一方の選択用の信号Cin0sに基づいて1対の入力信号Cin0およびCin1のうち1つの信号を選択し、選択された信号を1対の出力信号のうちの一方の出力信号Cout0として出力する。第2のマルチプレクサ350は、1対の入力信号Cin0およびCin1を入力し、1対の選択用の信号のうちの他方の選択用の信号Cin1sに基づいて入力信号Cin0およびCin1のうちひとつを選択し、選択された信号を1対の出力信号のうちの他方の出力信号Cout1として出力する。マルチプレクサ350においては、Cin1sが1のときにCin1が出力として選択され、Cin1sが0のときにCin0が選択される。マルチプレクサ351においては、Cin0sが1の時Cin1が選択され、Cin0sが0の時Cin0が選択される。図3の部分回路P28に含まれるキャリー選択回路を例にして説明すると、C0__15が図4(b)のCin0に入力され、C1__15がCin1に入力され、C0__14がCin0sに入力され、C1__14がCin1sに入力され、信号315がCout0から出力され、信号316がCout1から出力される。変換回路140について、図3の部分回路P28に含まれる変換回路を例として説明

する。変換回路 140 は、仮のキャリー情報を表す 1 対の信号 $C0_14$ および $C1_14$ のうちの一方の信号 $C0_14$ と、1 段目のステージ 11 において 1 ビット上位のビットの条件セル回路から出力される排他的論理和信号 SO_15 とを入力し、仮のビット和情報を表す 1 対の信号 313 および 314 の一方のうちの信号 313 を出力する第 1 の排他的論理和回路と、1 対の信号 $C0_14$ および $C1_14$ の他方の信号 $C1_14$ と排他的論理和信号 SO_15 とを入力し、仮のビット和情報を表す 1 対の信号 313 および 314 のうちの他方の信号 314 を出力する第 2 の排他的論理和回路とにより構成される。

【0023】

次に図 1 の 16 ビット加算回路における 3 段目の回路ステージ 13 の構成について説明する。図 5 は 3 段目の回路ステージ 13 の内部構成を示す図である。3 段目の回路ステージ 13 は、 $(N-M+1)=3$ となる回路ステージであり、 $N=4$ であるので $M=2$ に対応する。3 段目の回路ステージ 13 では $(N-M)=2$ であるので、入力データの $2^{(N-M)}=4$ ビット毎に対応して $2^M=4$ 個の部分回路 $P3_1$ 乃至 $P3_4$ に仮想的に分割されたとする。

【0024】

このように分割された場合に、最下位ビット A_0 、 B_0 から上位の方に数えて $2^{(N-M)}=4$ 番目に対応するビットからの入力を含む第 1 の部分回路である部分回路 $P3_1$ 内の上位の $2^{(N-M-1)}=2$ ビットに対応して 2 個のマルチプレクサ 120 が設けられ、上位のビットに対応するマルチプレクサは前の回路ステージである 2 段目の回路ステージ 12 において対応するビットに設けられたキャリー選択回路 110 の出力であって仮のキャリー情報を表す 1 対の信号 301 および 302 を入力し、下位のビットに対応するマルチプレクサは前の回路ステージである 1 段目の回路ステージ 11 において対応するビットに設けられた条件セル回路 101 の出力であって仮のキャリー情報を表す 1 対の信号 $C0_2$ および $C1_2$ を入力する。また、これらのマルチプレクサは、部分回路 $P3_1$ 内の上位より数えて $(2^{(N-M-1)}+1)=3$ 番目のビットに対応する回路ステージ 12 中のビットに設けられたマルチプレクサ 120 が出力する信号 300 を選択用の信号として入力し、これに基づいて、上位のビットに対応するマルチプレクサからは

真のキャリー信号である信号 401 を出力し、下位のビットに対応するマルチプレクサからは真のキャリー信号である信号 400 を出力する。

【0025】

また、最上位ビット A_{15} 、 B_{15} に対応するキャリー信号としての信号 315 および 316 を入力に含む第 2 の部分回路である部分回路 P_{34} または部分回路 P_{34} から下位の方に数えて 2 番目の部分回路 P_{33} 乃至 $(2^M - 1) = 3$ 番目の部分回路 P_{32} に相当する第 3 の部分回路のいずれかに該当する各部分回路の上位の $2^{(N-M-1)} = 2$ ビットに対応して $(2^{(N-1)} - 2^{(N-M-1)}) = 6$ 個のキャリー選択回路 110 が設けられ、それぞれのキャリー選択回路に、前の回路ステージにおいて対応するビットに設けられた条件セル回路 101、セル選択回路 110 または変換回路 140 の何れかから 1 対の信号が入力される。また、これらのキャリー選択回路のそれぞれは、部分回路内の上位より数えて $(2^{(N-M-1)} + 1) = 3$ 番目のビットに対応する 2 段目の回路ステージ 12 中のビットに設けられたセル選択回路 110 の出力である 1 対の選択用の信号を入力し、この選択用の信号後の回路ステージにおける仮のキャリー情報または仮のビット和情報を表す 1 対の信号を選択して出力する。

【0026】

すなわち、部分回路 P_{34} 内に含まれる 2 個のキャリー選択回路 110 のうち上位のビットに対応するキャリー選択回路は、2 段目の回路ステージ 12 内のキャリー選択回路からの出力である 1 対の信号 315 および 316 を入力し、部分回路 P_{34} 内の上位より数えて $(2^{(N-M-1)} + 1) = 3$ 番目のビットに対応するビットに設けられた 2 段目の回路ステージ 12 内のキャリー選択回路からの出力である 1 対の信号 311 および 312 に基づいて選択し、1 対の信号 416 および 417 を出力する。部分回路 P_{34} 内で下位のビットに対応するキャリー選択回路は、2 段目の回路ステージ 12 内のキャリー選択回路からの出力である 1 対の信号 314 および 313 を入力し、1 対の選択用の信号 311 および 312 に基づいて選択し、1 対の信号 414 および 415 を出力する。同様に、部分回路 P_{33} 内に含まれる 2 個のキャリー選択回路 110 のうち上位のビットに対応するキャリー選択回路は、2 段目の回路ステージ 12 内のキャリー選択回路からの出

力である 1 対の信号 309 および 310 を入力し、部分回路 P33 内の上位より数えて $(2^{(N-M-1)} + 1) = 3$ 番目のビットに対応するビットに設けられた 2 段目の回路ステージ 12 内のキャリー選択回路からの出力である 1 対の選択用の信号 307 および 308 に基づいて選択し、1 対の信号 408 および 409 を出力する。部分回路 P33 内で下位のビットに対応するキャリー選択回路は、1 段目の回路ステージ 11 内の条件セル回路からの出力である 1 対の信号 C0__10 および C1__10 を入力し、1 対の選択用の信号 307 および 308 に基づいて選択し、1 対の信号 406 および 407 を出力する。また、部分回路 P32 内に含まれる 2 個のキャリー選択回路 110 のうち上位のビットに対応するキャリー選択回路は、2 段目の回路ステージ 12 内のキャリー選択回路からの出力である 1 対の信号 305 および 306 を入力し、部分回路 P32 内の上位より数えて $(2^{(N-M-1)} + 1) = 3$ 番目のビットに対応するビットに設けられた 2 段目の回路ステージ 12 内のキャリー選択回路からの出力である 1 対の選択用の信号 303 および 304 に基づいて選択し、1 対の信号 404 および 405 を出力する。部分回路 P32 内で下位のビットに対応するキャリー選択回路は、1 段目の回路ステージ 11 内の条件セル回路からの出力である 1 対の信号 C0__6 および C1__6 を入力し、1 対の選択用の信号 303 および 304 に基づいて選択し、1 対の信号 402 および 403 を出力する。

【0027】

また、第 2 の部分回路である部分回路 P34 内の下位の $2^{(N-M-1)} = 2$ ビットに対応して 2 個の変換回路 140 が設けられ、この 2 個の変換回路のなかで上位の変換回路は、前の回路ステージである 2 段目の回路ステージ 12 で対応するビットに設けられたキャリー選択回路 110 の出力であって仮のキャリー情報を表す 1 対の信号 311 および 312 と 1 段目の回路ステージ 11 において 1 ビット上位の条件セル回路から出力される排他的論理和信号 S0__14 とを入力し、仮のビット和情報を表す 1 対の信号 412 および 413 に変換して出力する。2 個の変換回路のなかで下位の変換回路は、前の回路ステージである 1 段目の回路ステージ 11 で対応するビットに設けられた条件セル回路の出力であって仮のキャリー情報を表す 1 対の信号 C0__12 および C1__12 と 1 段目の回路ステージ 1

1において1ビット上位の条件セル回路から出力される排他的論理和信号 S_{0_13} とを入力し、仮のビット和情報を表す1対の信号 4_{10} および 4_{11} に変換して出力する。

【0028】

次に、図1の16ビット加算回路における4段目の回路ステージ14の構成について説明する。図6は4段目の回路ステージ14の内部構成を示す図である。4段目の回路ステージ14は、 $(N-M+1)=4$ となる回路ステージであり、 $N=4$ であるので $M=1$ に対応する。4段目の回路ステージでは $(N-M)=3$ であるので、入力データの $2^{(N-M)}=8$ ビット毎に対応して $2^M=2$ 個の部分回路 P_{41} と P_{42} とに仮想的に分割されたとする。

【0029】

このように分割された場合に、最下位ビット A_{0_0} 、 B_{0_0} から上位の方に数えて $2^{(N-M)}=8$ 番目に対応するビットからの入力を含む第1の部分回路である部分回路 P_{41} 内の上位の $2^{(N-M-1)}=4$ ビットに対応して4個のマルチプレクサ 1_{20} が設けられ、最上位のマルチプレクサは、前の回路ステージである3段目の回路ステージ13において対応するビットに設けられたキャリー選択回路 1_{10} の出力であって仮のキャリー情報を表す1対の信号 4_{04} および 4_{05} を入力し、部分回路 P_{41} 内の上位より数えて $(2^{(N-M-1)}+1)=5$ 番目のビットに対応する3段目の回路ステージ13中のビットに設けられたマルチプレクサ 1_{20} から出力される信号 4_{01} を選択用の信号としてこれに基づいて真のキャリー信号を選択し、信号 5_{03} を出力する。上位から数えて2番目のマルチプレクサは、前の回路ステージである3段目の回路ステージ13において対応するビットに設けられたキャリー選択回路 1_{10} の出力であって仮のキャリー情報を表す1対の信号 4_{02} および 4_{03} を入力し、信号 4_{01} を選択用の信号としてこれに基づいて真のキャリー信号を選択し、信号 5_{02} を出力する。上位から3番目のマルチプレクサは、前の回路ステージである2段目の回路ステージ12において対応するビットに設けられたキャリー選択回路 1_{10} の出力であって仮のキャリー情報を表す1対の信号 3_{03} および 3_{04} を入力し、信号 4_{01} を選択用の信号としてこれに基づいて真のキャリー信号を選択し、信号 5_{01} を出力する。上位

から4番目のマルチプレクサは、前の回路ステージである1段目の回路ステージ11において対応するビットに設けられた条件セル回路101の出力であって仮のキャリー情報を表す1対の信号C0__4およびC1__4を入力し、信号401を選択用の信号としてこれに基づいて真のキャリー信号を選択し、信号500を出力する。

【0030】

また、最上位ビットA__15、B__15に対応するキャリー信号としての信号416および417を入力に含む第2の部分回路である部分回路P42の上位の $2(N-M-1) = 4$ ビットに対応して $(2(N-1) - 2(N-M-1)) = 4$ 個のキャリー選択回路110が設けられ、それぞれのキャリー選択回路が、前の回路ステージにおいて対応するビットに設けられた条件セル回路101、セル選択回路110または変換回路140のいずれかから出力される1対の信号を入力する。また、これらのキャリー選択回路のそれぞれは、部分回路P42内の上位より数えて $(2(N-M-1) + 1) = 5$ 番目のビットに対応する3段目の回路ステージ13中のビットに設けられたセル選択回路110から出力される1対の選択用の信号を入力し、この選択用の信号に基づいて後の回路ステージにおける仮のキャリー情報または仮のビット和情報を表す1対の信号を選択して出力する。

【0031】

すなわち、部分回路P42内に含まれる4個のキャリー選択回路110のうち最上位のキャリー選択回路は、3段目の回路ステージ13内のキャリー選択回路からの出力である1対の信号416および417を入力し、部分回路P42内の上位より数えて $(2(N-M-1) + 1) = 5$ 番目のビットに対応するビットに設けられた3段目の回路ステージ13内のキャリー選択回路からの出力である1対の選択用の信号408および409に基づいて選択して1対の信号518および519を出力する。同様に、上位から数えて2番目のキャリー選択回路は、3段目の回路ステージ13内のキャリー選択回路からの出力である1対の信号412および413を入力し、1対の選択用の信号408および409に基づいて選択して1対の信号516および517を出力する。また、上位から数えて3番目のキャリー選択回路は、3段目の回路ステージ13内のキャリー選択回路からの出力で

ある 1 対の信号 4 1 2 および 4 1 3 を入力し、1 対の選択用の信号 4 0 8 および 4 0 9 に基づいて選択して 1 対の信号 5 1 4 および 5 1 5 を出力する。また、最下位すなわち上位から数えて 4 番目のキャリー選択回路は、3 段目の回路ステージ 1 3 内のキャリー選択回路からの出力である 1 対の信号 4 1 0 および 4 1 1 を入力し、1 対の選択用の信号 4 0 8 および 4 0 9 に基づいて選択して 1 対の信号 5 1 2 および 5 1 3 を出力する。

【0032】

また、第 2 の部分回路である部分回路 P 4₁ 内の下位の $2^{(N-M-1)} = 4$ ビットに対応して 4 個の変換回路 1 4 0 が設けられる。この 4 個の変換回路のなかで最上位の変換回路は、前の回路ステージである 3 段目の回路ステージ 1 3 において対応するビットに設けられたキャリー選択回路 1 1 0 の出力であって仮のキャリー情報を表す 1 対の信号 4 0 8 および 4 0 9 と、1 段目の回路ステージ 1 1 において 1 ビット上位の条件セル回路から出力される排他的論理和信号 S 0__1 2 とを入力し、仮のビット和情報を表す 1 対の信号 5 1 0 および 5 1 1 に変換して出力する。同様に、上位から数えて 2 番目の変換回路は、前の回路ステージである 3 段目の回路ステージ 1 3 において対応するビットに設けられたキャリー選択回路 1 1 0 の出力であって仮のキャリー情報を表す 1 対の信号 4 0 6 および 4 0 7 と、1 段目の回路ステージ 1 1 において 1 ビット上位の条件セル回路から出力される排他的論理和信号 S 0__1 1 とを入力し、仮のビット和情報を表す 1 対の信号 5 0 8 および 5 0 9 に変換して出力する。また、上位から数えて 3 番目の変換回路は、前の回路ステージである 2 段目の回路ステージ 1 2 において対応するビットに設けられたキャリー選択回路 1 1 0 の出力であって仮のキャリー情報を表す 1 対の信号 3 0 7 および 3 0 8 と、1 段目の回路ステージ 1 1 において 1 ビット上位の条件セル回路から出力される排他的論理和信号 S 0__1 0 とを入力し、仮のビット和情報を表す 1 対の信号 5 0 6 および 5 0 7 に変換して出力する。最下位すなわち上位から数えて 4 番目の変換回路は、前の回路ステージである 1 段目の回路ステージ 1 1 において対応するビットに設けられた条件セル回路 1 0 1 の出力であって仮のキャリー情報を表す 1 対の信号 C 0__8 および C 1__8 と、1 段目の回路ステージ 1 1 において 1 ビット上位の条件セル回路から出力される排

他の論理和信号 S_{0_9} とを入力し、仮のビット和情報を表す 1 対の信号 5_{04} および 5_{05} に変換して出力する。

【0033】

図 7 は、本発明を適用した 16 ビット加算回路における $(N+1) = 5$ 段目の回路ステージ 15 の回路図である。5 段目の回路ステージは、 $2^{(N-1)} = 8$ 個のマルチプレクサ 120 と $2^{(N-1)} = 8$ 個の排他的論理和回路 130 とを備えている。

【0034】

入力データの最上位ビット A_{15} 、 B_{15} に対応したビット位置に設けられたマルチプレクサは、 $N = 4$ 段目の回路ステージ 14 において最上位のキャリー選択回路 110 から 1 対の信号 5_{18} および 5_{19} を入力し、4 段目の回路ステージ 14 において入力データの最上位ビットから下位の方に数えて $(2^{(N-1)} + 1) = 9$ 番目に対応するマルチプレクサから出力された選択用の信号 5_{03} に基づいて出力キャリー信号 C_{out} を選択して加算回路の外部へ出力する。

【0035】

入力データの最上位ビットから下位の方に数えて 2 乃至 $2^{(N-1)} = 8$ 番目のビットに対応するビットに設けられた $(2^{(N-1)} - 1) = 7$ 個のマルチプレクサは、それぞれが、4 段目の回路ステージにおいて対応するビットに設けられたキャリー選択回路または変換回路から 1 対の信号を入力し、4 段目の回路ステージにおいて前記入力データの最上位ビットから下位の方に数えて $(2^{(N-1)} + 1) = 9$ 番目に対応するマルチプレクサから出力された選択用の信号 5_{03} に基づいて選択して 1 ビット上位の真のビット和を表す信号を出力する。すなわち、最上位から数えて 2 番目のマルチプレクサは、4 段目の回路ステージの対応するビットに設けられたキャリー選択回路から仮のビット和情報を表す 1 対の信号 5_{16} および 5_{17} を入力し、真のキャリーである選択用の信号 5_{03} に基づいて選択して 1 ビット上位の真のビット和を表す信号 S_{15} を加算回路の外部へ出力する。最上位から数えて 3 番目のマルチプレクサは、4 段目の回路ステージの対応するビットに設けられたキャリー選択回路から仮のビット和情報を表す 1 対の信号 5_{14} および 5_{15} を入力し、選択用の信号 5_{03} に基づいて選択して 1 ビット

上位の真のビット和を表す信号 S_{14} を外部へ出力する。最上位から数えて4番目のマルチプレクサは、4段目の回路ステージの対応するビットに設けられたキャリー選択回路から仮のビット和情報を表す1対の信号 512 および 513 を入力し、選択用の信号 503 に基づいて選択して1ビット上位の真のビット和を表す信号 S_{13} を外部へ出力する。最上位から数えて5番目のマルチプレクサは、4段目の回路ステージの対応するビットに設けられた変換回路から仮のビット和情報を表す1対の信号 510 および 511 を入力し、選択用の信号 503 に基づいて選択して1ビット上位の真のビット和を表す信号 S_{12} を外部へ出力する。最上位から数えて6番目のマルチプレクサは、4段目の回路ステージの対応するビットに設けられた変換回路から仮のビット和情報を表す1対の信号 508 および 509 を入力し、選択用の信号 503 に基づいて選択して1ビット上位の真のビット和を表す信号 S_{11} を外部へ出力する。最上位から数えて7番目のマルチプレクサは、4段目の回路ステージの対応するビットに設けられた変換回路から仮のビット和情報を表す1対の信号 506 および 507 を入力し、選択用の信号 503 に基づいて選択して1ビット上位の真のビット和を表す信号 S_{10} を外部へ出力する。最上位から数えて8番目のマルチプレクサは、4段目の回路ステージの対応するビットに設けられた変換回路から仮のビット和情報を表す1対の信号 504 および 505 を入力し、選択用の信号 503 に基づいて選択して1ビット上位の真のビット和を表す信号 S_9 を外部へ出力する。

【0036】

入力データの最上位ビットから下位の方に数えて $(2^{(N-1)} + 1)$ 乃至 2^N 番目すなわち9乃至16番目のビットに対応するビットに設けられた $2^{(N-1)} = 8$ 個の排他的論理和回路 130 は、それぞれが、前の段の回路ステージにおいて対応するビットに設けられたフルアダーまたはマルチプレクサから出力された信号と、1段目の回路ステージ 11 において1ビット上位の条件セル回路から出力された排他的論理和信号とを入力し、1ビット上位の真のビット和を表す信号を加算回路の外部へ出力する。すなわち、最上位ビットから数えて9番目の排他的論理和回路は、4段目の回路ステージ 14 において対応するビットに設けられたマルチプレクサから出力された信号 503 と、1段目の回路ステージ 11 において

1ビット上位の条件セル回路から出力された排他的論理和信号 S_{0_8} とを入力し、1ビット上位の真のビット和を表す信号 $S_{_8}$ を外部へ出力する。同様に、最上位ビットから数えて10番目の排他的論理和回路は、4段目の回路ステージ14において対応するビットに設けられたマルチプレクサから出力された信号 5_{02} と、1段目の回路ステージ11において1ビット上位の条件セル回路から出力された排他的論理和信号 S_{0_7} とを入力し、1ビット上位の真のビット和を表す信号 $S_{_7}$ を外部へ出力する。また、最上位ビットから数えて11番目の排他的論理和回路は、4段目の回路ステージ14において対応するビットに設けられたマルチプレクサから出力された信号 5_{01} と、1段目の回路ステージ11において1ビット上位の条件セル回路から出力された排他的論理和信号 S_{0_6} とを入力し、1ビット上位の真のビット和を表す信号 $S_{_6}$ を外部へ出力する。また、最上位ビットから数えて12番目の排他的論理和回路は、4段目の回路ステージ14において対応するビットに設けられたマルチプレクサから出力された信号 5_{00} と、1段目の回路ステージ11において1ビット上位の条件セル回路から出力された排他的論理和信号 S_{0_5} とを入力し、1ビット上位の真のビット和を表す信号 $S_{_5}$ を外部へ出力する。また、最上位ビットから数えて13番目の排他的論理和回路は、3段目の回路ステージ13において対応するビットに設けられたマルチプレクサから出力された信号 4_{01} と、1段目の回路ステージ11において1ビット上位の条件セル回路から出力された排他的論理和信号 S_{0_4} とを入力し、1ビット上位の真のビット和を表す信号 $S_{_4}$ を外部へ出力する。また、最上位ビットから数えて14番目の排他的論理和回路は、3段目の回路ステージ13において対応するビットに設けられたマルチプレクサから出力された信号 4_{00} と、1段目の回路ステージ11において1ビット上位の条件セル回路から出力された排他的論理和信号 S_{0_3} とを入力し、1ビット上位の真のビット和を表す信号 $S_{_3}$ を外部へ出力する。また、最上位ビットから数えて15番目の排他的論理和回路は、2段目の回路ステージ12において対応するビットに設けられたマルチプレクサから出力された信号 3_{00} と、1段目の回路ステージ11において1ビット上位の条件セル回路から出力された排他的論理和信号 S_{0_2} とを入力し、1ビット上位の真のビット和を表す信号 $S_{_2}$ を外部へ出力

する。また、最上位ビットから数えて16番目の排他的論理和回路は、1段目の回路ステージ11において対応するビットに設けられたフルアダー100から出力された信号C o u t__0と、1段目の回路ステージにおいて1ビット上位の条件セル回路から出力された排他的論理和信号S 0__1とを入力し、1ビット上位の真のビット和を表す信号S__1を外部へ出力する。

【0037】

次に本発明の加算回路の動作について図面を参照して説明する。

【0038】

図1の1段目の回路ステージ11を示した図2(a)において、2つの入力データは同一のビット毎に条件セル101に入力される。条件セルは図2(b)に示したように、2つの入力ビットA_j、B_jに対してその論理積を下位からの桁上げがないときのキャリー信号C 0__jとし、論理和を下位からの桁上げがあるときのキャリー信号C 1__jとし、排他的論理和を下位からの桁上げがないと仮定したときのビット和に相当する排他的論理和信号S 0__jとして出力する。これらの出力は、図2(a)において下位ビットからの桁上げがないと仮定して生成される仮のキャリー信号C 0__1乃至C 0__15、下位ビットからの桁上げがあると仮定して生成される仮のキャリー信号C 1__1乃至C 1__15、排他的論理和信号S 0__1乃至S 0__15にそれぞれ対応する。最下位ビットのA__0とB__0は加算回路の外部から入力キャリー信号C i nが入力されるので最下位ビットの真のビット和信号S__0と上位ビットへの真のキャリー信号C o u t__0を出力する。

【0039】

次に、2段目の回路ステージ12では、各ビットで生成された仮のキャリー情報は部分回路P 2₁乃至P 2₈に対応して2ビット毎に区切られ、部分回路P 2₂乃至P 2₈において1ビット下位のビットからの仮のキャリー情報に基づいて選択された新たな仮のキャリー情報が生成されて出力される。キャリー情報の選択は図4(b)に示したキャリー選択回路110で実行される。2番目の回路ステージ12内のキャリー選択回路において選択用の信号として入力される1ビット下位のビットからの仮のキャリー情報は、さらに1ビット下位からの桁上げがあ

る場合とない場合とを想定して作られているので、2番目の回路ステージ12内のキャリー選択回路のC o u t 1から出力される仮のキャリー信号は2ビット下位のビットからの桁上げがある場合を表し、C o u t 0から出力される仮のキャリー信号は2ビット下位のビットからの桁上げがない場合を仮定して生成されることになる。すなわち、最下位ビットのキャリー信号C o u t __ 0は真のキャリー信号なので、最下位から数えて2番目のビットのマルチプレクサ（すなわち、部分回路P 2₁内のマルチプレクサ120）では、仮のキャリー情報を表す1対の信号C 0 __ 1およびC __ 1から真のキャリー信号300が選択されて出力される。

【0040】

また、部分回路P 2₈内の変換回路140は1対の信号C 1 __ 14およびC 0 __ 14とS 0 __ 15とを入力し1対の信号314および313を生成して出力するが、この1対の信号314および313は下位からの桁上げがある場合とない場合を表す仮のビット和情報に相当する。

【0041】

次に、図1の3段目の回路ステージ13を示した図5において、入力する仮のキャリー情報および仮のビット和情報は、部分回路P 3₁乃至P 3₄に対応して4ビット毎に区切られる。k（kは2，3または4）番目の部分回路P 3_k内で、上位2ビットにおいて生成された1対の信号からなる仮のキャリー情報は部分回路P 3_k内で最上位から数えて3番目のビットからの仮キャリー情報に基づいて選択され、新たな仮のキャリー情報が生成されて出力される。ここで選択用の信号として用いられる仮のキャリー情報は、1つ下位の部分回路P 3_{i-1}内での最上位ビットからのキャリーの有無を想定して生成されているので、部分回路P 3_k内で新たに生成されて出力される仮のキャリー情報および仮のビット和情報は、全て1つ下位の部分回路P 3_{k-1}の最上位ビットからのキャリーを仮定して生成されていることになる。最下位の部分回路P 3₁では最上位から数えて3番目のビットに対応する信号300が真のキャリー信号であるので、部分回路P 3₁に含まれる2個のマルチプレクサのそれぞれにおいて信号300を選択用の信号として選択されて出力される信号401および信号400は真のキャリー信号で

ある。

【0042】

また、部分回路 P 3₄に含まれる 2 個の変換回路 1 4 0 の中の上位の変換回路は 1 対の信号 3 1 2 および 3 1 1 と S 0 __ 1 4 とを入力し 1 対の信号 4 1 3 および 4 1 2 を生成して出力し、下位の変換回路は 1 対の信号 C 1 __ 1 2 と C 0 __ 1 2 と S 0 __ 1 3 とを入力し 1 対の信号 4 1 1 および 4 1 0 を生成して出力するが、1 対の信号 4 1 3 および 4 1 2、1 対の信号 4 1 1 および 4 1 0 は、下位からの桁上げがある場合とない場合を表す仮のビット和情報に相当する。部分回路 P 3₄の出力信号 4 1 5 乃至 4 1 0 は上位 3 ビット分の仮のビット和情報に相当し、1 つ下位の部分回路 P 3₃の最上位ビットからのキャリーの有無を想定して生成されていることになる。

【0043】

次に、図 1 の 4 段目の回路ステージ 1 4 を示した図 6 おいて、入力する仮のキャリー情報および仮のビット和情報は、部分回路 P 4₁乃至 P 4₂に対応して 8 ビット毎に区切られる。部分回路 P 4₂内で、上位 4 ビットにおいて生成された 1 対の信号からなる仮のキャリー情報と仮のビット和情報は部分回路 P 4₂内で最上位から数えて 5 番目のビットからの仮キャリー情報に基づいて選択され、新たな仮のキャリー情報および仮のビット和情報が生成されて出力される。選択用の信号として用いられる部分回路 P 4₂内で最上位から数えて 5 番目のビットからの仮のキャリー情報を表す 1 対の信号 4 0 8、4 0 9 は、1 つ下位の部分回路 P 4₁内での最上位ビットからのキャリーの有無を想定して生成されているので、部分回路 P 4₂内で新たに生成されて出力される仮のキャリー情報および仮のビット和情報は、全て 1 つ下位の部分回路 P 4₁の最上位ビットからのキャリーを仮定して生成されていることになる。下位の部分回路 P 4₁内では最上位から数えて 5 番目のビットに対応する信号 4 0 1 が真のキャリー信号であるので、部分回路 P 4₁に含まれる 4 個のマルチプレクサのそれぞれにおいて信号 4 0 1 を選択用の信号として選択されて出力される信号 5 0 3、信号 5 0 2、信号 5 0 1、信号 5 0 0 も真のキャリー信号である。

【0044】

また、部分回路 P 4₂に含まれる 4 個の変換回路 1 4 0 の中の最上位の変換回路は 1 対の信号 4 0 9 および 4 0 8 と S 0__1 2 とを入力し 1 対の信号 5 1 1 および 5 1 0 を生成して出力し、上位から 2 番目の変換回路は 1 対の信号 4 0 7 および 4 0 6 と S 0__1 1 とを入力し 1 対の信号 5 0 9 および 5 0 8 を生成して出力し、上位から 3 番目の変換回路は 1 対の信号 4 0 7 および 4 0 6 と S 0__1 0 とを入力し 1 対の信号 5 0 7 および 5 0 6 を生成して出力し、上位から 4 番目の変換回路は 1 対の信号 C 1__8 および C 0__8 と S 0__9 とを入力し 1 対の信号 5 0 5 および 5 0 4 を生成して出力するが、1 対の信号 5 1 1 および 5 1 0、1 対の信号 5 0 9 および 5 0 8、1 対の信号 5 0 7 および 5 0 6、1 対の信号 5 0 5 および 5 0 4 は、下位からの桁上げがある場合とない場合を表す仮のビット和情報に相当する。部分回路 P 4₂の出力信号 5 1 7 乃至 5 0 4 は上位 7 ビット分の仮のビット和情報に相当し、下位の部分回路 P 4₁の最上位ビットからのキャリーの有無を想定して生成されていることになる。

【0045】

次に、図 1 の最終段である 5 段目の回路ステージ 1 5 を示した図 7 おいて、最上位から 8 ビットに渡って設けられたマルチプレクサのうち、最上位から数えて 2 番目乃至 8 番目までの 7 個のマルチプレクサは、仮のビット和情報を入力し、最上位から数えて 9 番目のビットからの真のキャリー信号 5 0 3 に基づいて選択し、真のビット和信号である信号 S__1 5 乃至 S__9 を加算回路の外部へ出力する。最上位ビットのマルチプレクサは、仮のキャリー情報を現す 1 対の信号 5 1 9 および 5 1 8 のうちの 1 つを信号 5 0 3 に基づいて選択し 2 つの入力データの加算により発生する桁上げ信号として出力キャリー信号 C o u t を加算回路の外部へ出力する。最上位から 9 乃至 1 6 番目のビットにおいては、真のキャリー信号が 4 段目の回路ステージ 1 4 までに決定しているので、図 7 に示すとおり、8 個の排他的論理和回路は、真のキャリー信号と 1 段目の回路ステージ 1 1 で生成されたビット和信号 S 0__8 乃至 S 0__1 との排他的論理和をとることにより真のビット和 S__8 乃至 S__1 を生成し、加算回路の外部へ出力する。最下位ビットの真のビット和は 1 段目の回路ステージ 1 1 で生成された信号 S__0 をそのまま加算回路の外部へ出力する。

【0046】

図9の第1の従来例の加算回路ではキャリー情報とビット和情報とを1段目の回路ステージで生成して伝播させており、図10の第2の従来例の加算器ではキャリー情報を伝搬させて真のキャリー信号を生成し、最終段の回路ステージですべての真のビット和をまとめて生成している。これに対して、本発明の加算回路では、キャリー情報の伝播の途中段階において仮のキャリー情報が仮のビット和情報に変換されて伝播する。このため、本発明の加算回路では、全てのビットに関してキャリー情報とビット和情報と生成して伝播させる第1の従来例の加算回路に比較してマルチプレクサ数およびマルチプレクサの入出力配線数を低減することができるので、消費電力を低減することが可能である。また、本発明の加算回路は、第1の従来例と同じ回路ステージ数（すなわち第2の従来例よりも1段少ない回路ステージ数）で実現できるので、第2の従来例の加算回路に比較して加算を高速に実行することが可能である。

【0047】

第1の従来例の加算回路を構成するに必要なマルチプレクサ数と本発明の加算回路を構成するに必要なマルチプレクサ数とを比較すると、16ビットの加算回路の場合には、第1の従来例が75個のマルチプレクサを必要とするのに対して、本発明の加算回路では71個のマルチプレクサ相当の回路で構成することができ、32ビットの加算回路の場合には、第1の従来例が186個のマルチプレクサを必要とするのに対して、本発明の加算回路では、175個のマルチプレクサ相当の回路で構成することができる。32ビットの場合の詳細な内訳を示すと、本発明ではマルチプレクサは第1の従来例の186個から129個まで減少し、代わりに途中でビット和を生成する為に排他和セルを計46個追加するので、結局マルチプレクサ11個の削減が可能になる。さらに、条件セルの構成においても、第1の従来例では仮のビット和情報として2つのビット和が必要であるのに対し、本発明では1つの排他的論理和信号のみを生成すればよいので、本発明では条件セルを構成するに必要なトランジスタ数が削減でき、この点においても低電力化できる。但し、マルチプレクサ相当の回路個数の計数において、これらの回路がパストランジスタを用いて構成されているとして、キャリー選択回路およ

び変換回路はマルチプレクサ 2 個に換算し、排他的論理和回路はマルチプレクサ 1 個に換算して計数した。

【0048】

また、第 2 の従来例の加算回路を構成するに必要な回路ステージの段数と本発明の加算回路を構成するに必要な回路ステージの段数とを比較すると、16 ビットの加算回路を構成する場合には、第 2 の従来例の加算回路では 6 段の回路ステージが必要であるのに対して、本発明の加算回路では 5 段の回路ステージで構成でき、32 ビットの加算回路の場合には、第 2 の従来例の加算回路では 7 段の回路ステージが必要であるのに対して、本発明の加算回路では 6 段の回路ステージで構成できる。このため、本発明の加算回路のクリティカルパスの論理段数は、第 2 の従来例の加算回路よりも 1 段小さくでき、第 1 の従来例の加算回路と同等の論理段数で実現できる。ここで論理段数とはキャリー情報またはビット和情報が 1 段目の回路ステージから最終段の回路ステージまで伝搬する経路に存在する条件セル回路、マルチプレクサ、キャリー選択回路、変換回路および排他的論理和回路の総和のことである。

【0049】

図 8 は、本発明の加算回路を備える半導体装置を示す図である。例えば 1 チップに集積されたマイクロプロセッサなどの半導体装置 1 の内部に搭載される加算回路として本発明の加算回路 2 を使用することにより、半導体装置 1 に上に述べた効果を及ぼすことができる。

【0050】

なお、以上において本発明の実施例として 16 ビットの加算回路を用いて説明したが 16 ビットに限定されるものでなく、本発明は 2^N ビットの加算回路において、電力削減と高速化の効果が顕著でない $N \leq 2$ の場合を除き、 $N \geq 3$ 以上の場合には電力削減と高速化の効果が生じる。

【0051】

【発明の効果】

以上のように、本発明の加算回路は、第 1 の従来例と同じ回路ステージ段数を有するので第 1 の従来例と同等の速度（すなわち第 2 の従来例よりも高速）での

動作を維持しながら、第1の従来例よりもマルチプレクサ等の単位回路の個数、および配線数の削減により低電力で動作できるという顕著な効果を備えるものである。

【図面の簡単な説明】

【図1】

本発明の加算回路の一実施例である16ビット加算回路の回路図である。

【図2】

(a)は16ビット加算回路における1段目の回路ステージ11の内部構成を示す図であり、(b)は条件セル回路のゲートレベルの回路図である。

【図3】

16ビット加算回路における2段目の回路ステージの内部構成を示す図である。

【図4】

(a)はマルチプレクサを示す回路図であり、(b)はキャリー選択回路を示す回路図である。

【図5】

16ビット加算回路における3段目の回路ステージの内部構成を示す図である。

【図6】

16ビットの加算回路における4段目の回路ステージの内部構成を示す図である。

【図7】

16ビット加算回路における5段目の回路ステージの内部構成を示す図である。

【図8】

本発明の加算回路を備える半導体装置を示す図である。

【図9】

第1の従来例の条件和加算回路を4ビットの加算回路に適用したときの回路図である。

【図 1 0】

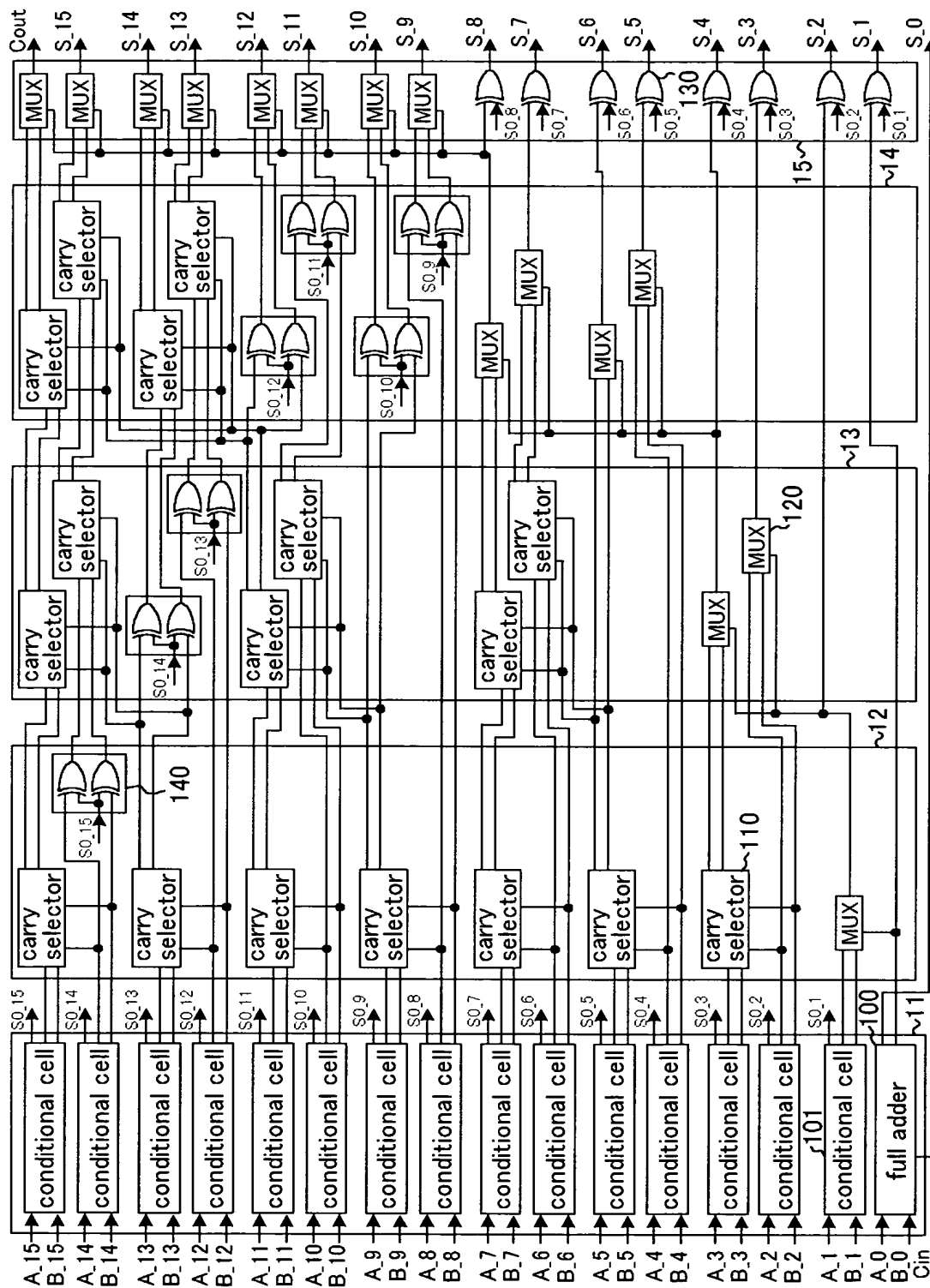
第 2 の従来例の条件キャリー加算回路を 1 6 ビットの加算回路に適用したときの回路図である。

【符号の説明】

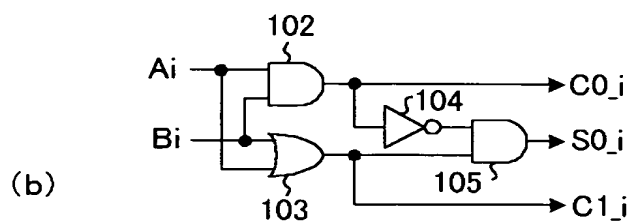
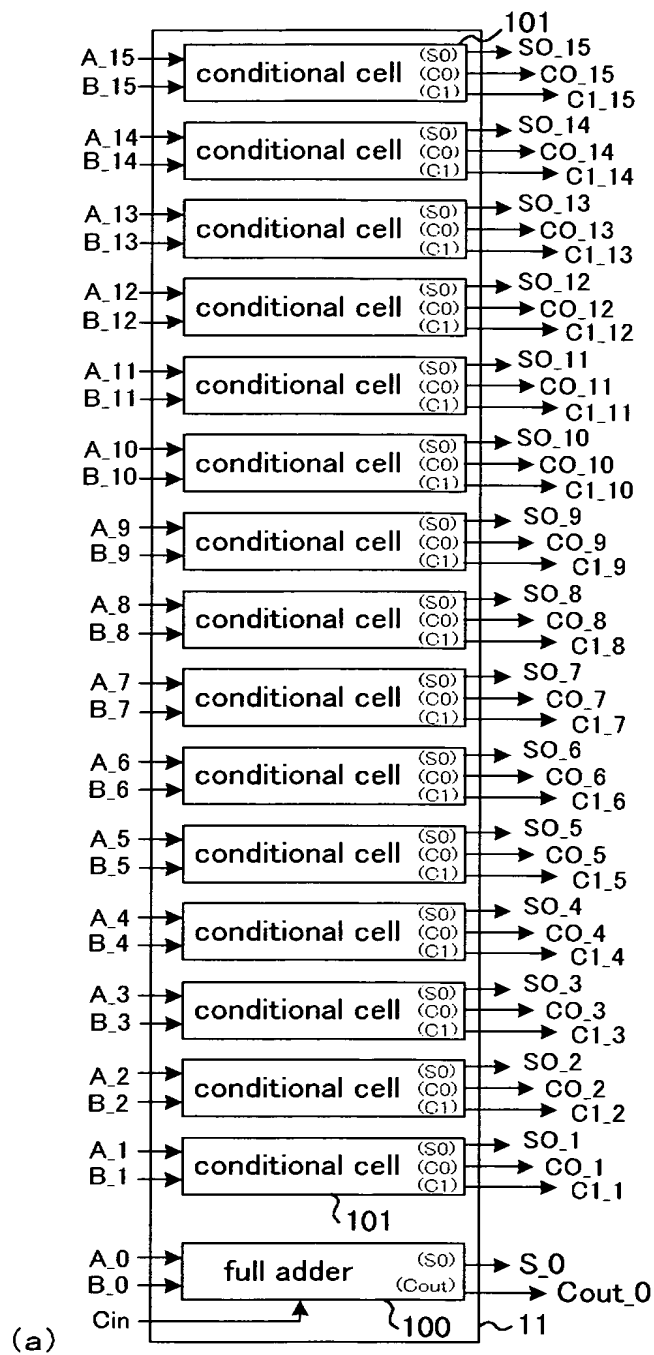
- 1 半導体装置
- 2 加算回路
- 1 1 1 段目の回路ステージ
- 1 2 2 段目の回路ステージ
- 1 3 3 段目の回路ステージ
- 1 4 4 段目の回路ステージ
- 1 5 5 段目の回路ステージ
- 1 0 0 フルアダー
- 1 0 1 条件セル回路
- 1 1 0 キャリー選択回路
- 1 2 0 マルチプレクサ
- 1 3 0 排他的論理和回路
- 1 4 0 変換回路

【書類名】 図面

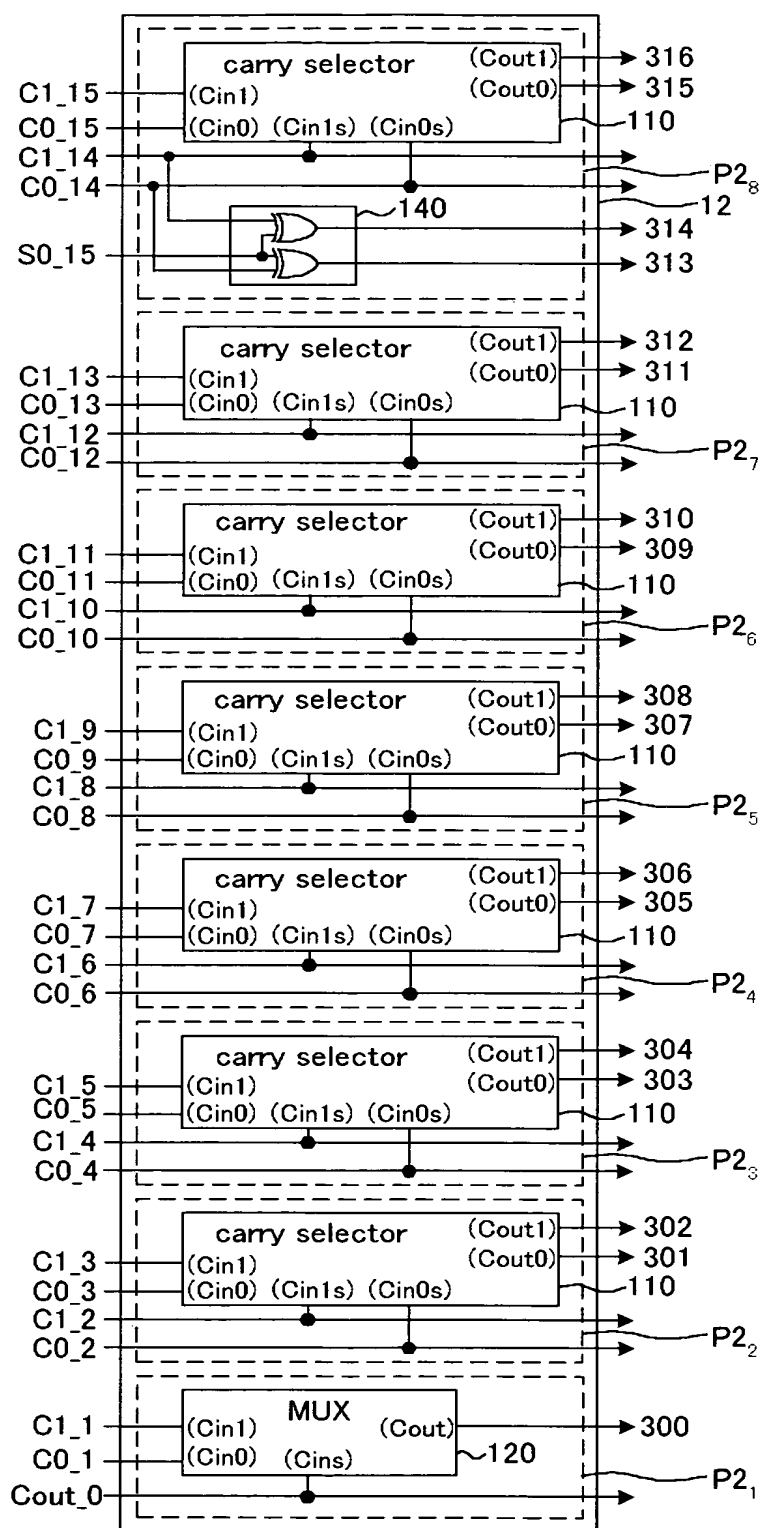
【図 1】



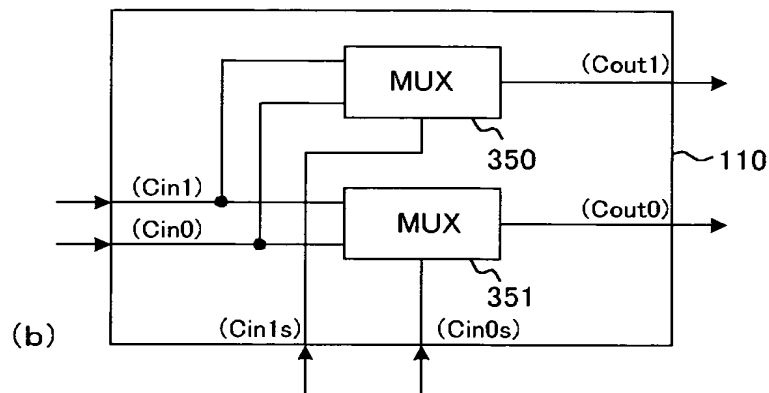
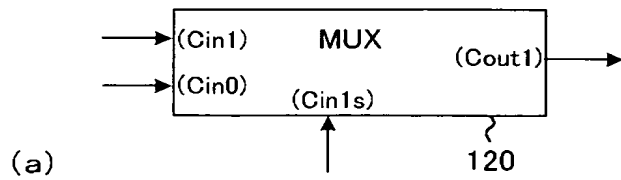
【図 2】



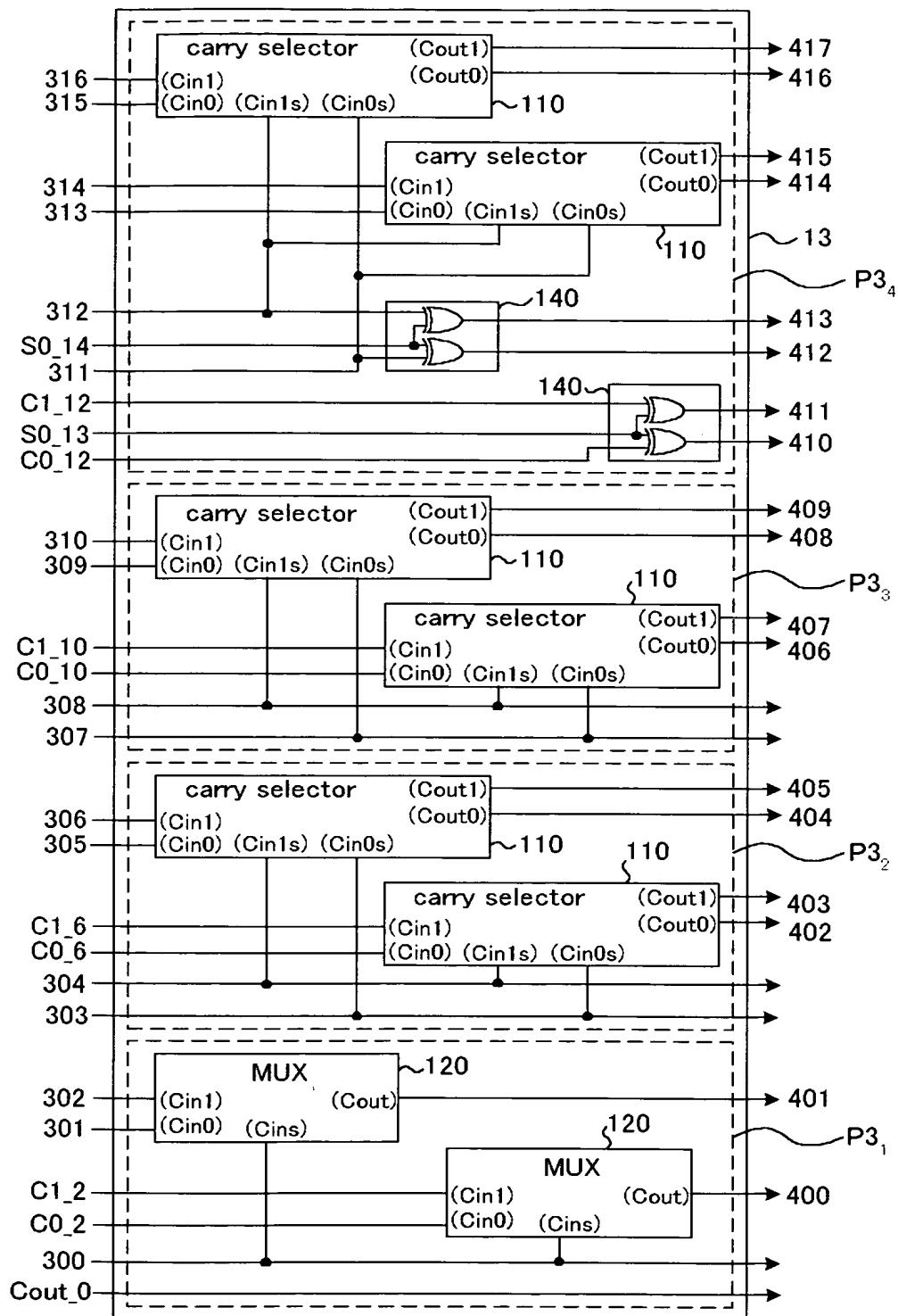
【図 3】



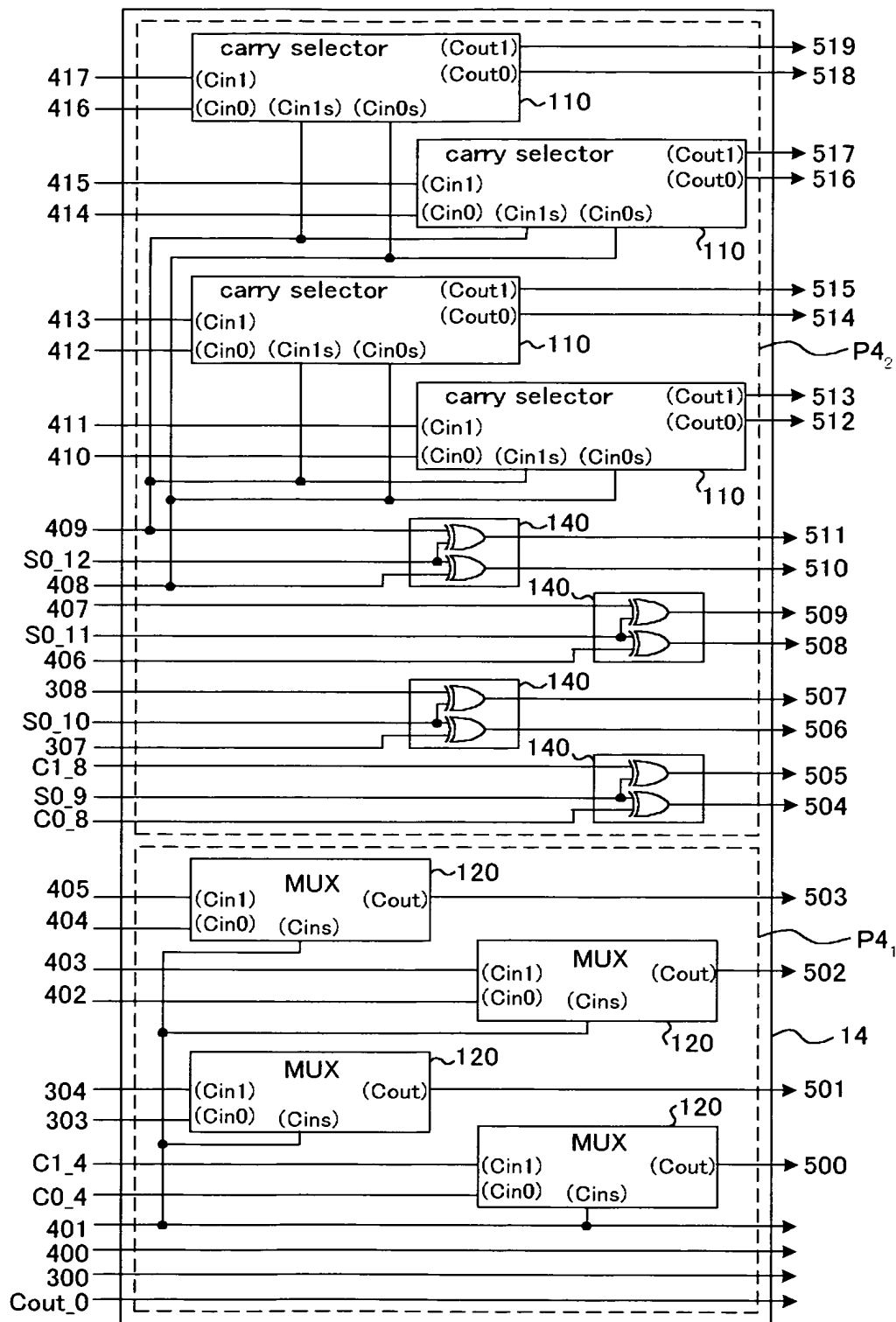
【図 4】



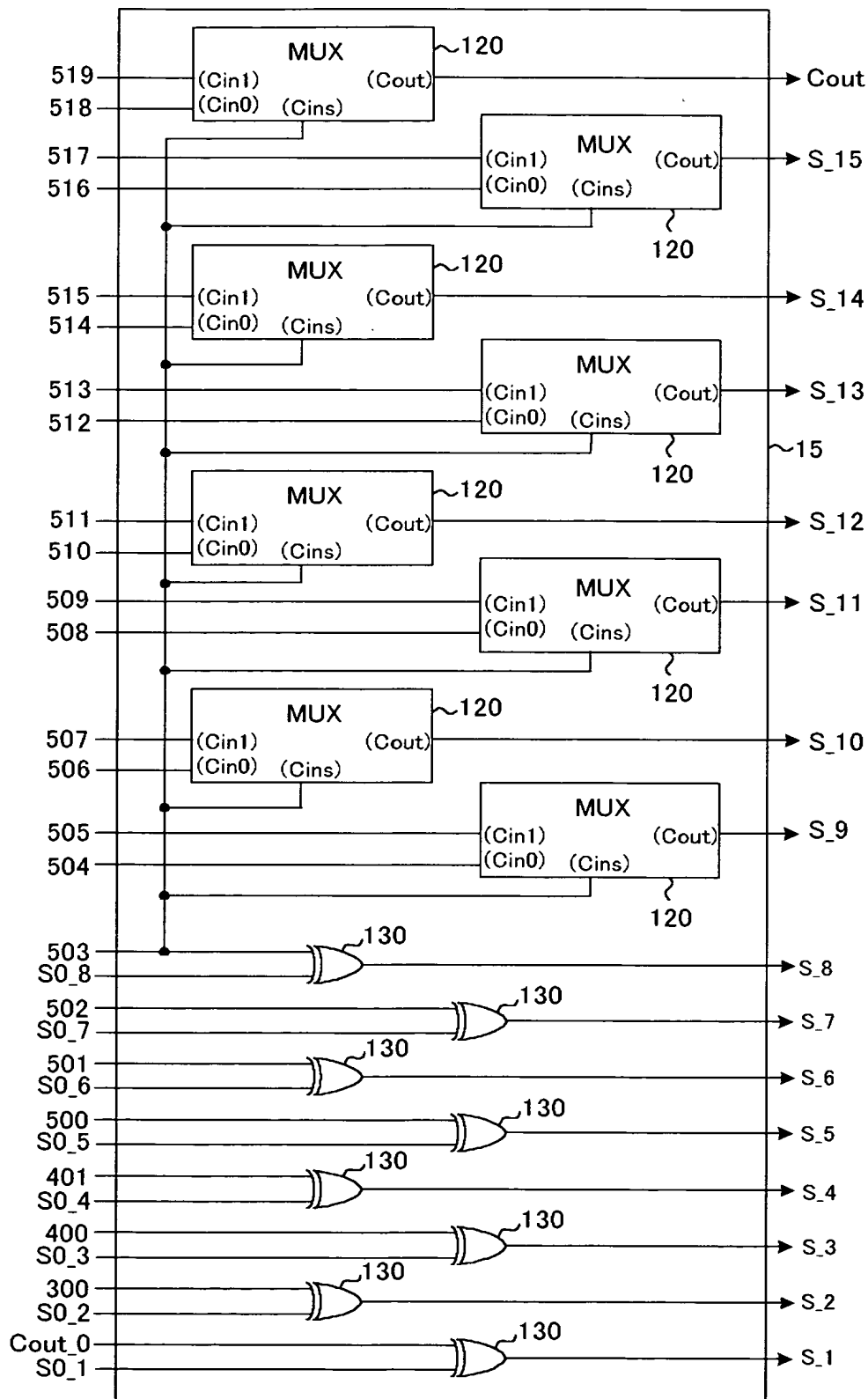
【図 5】



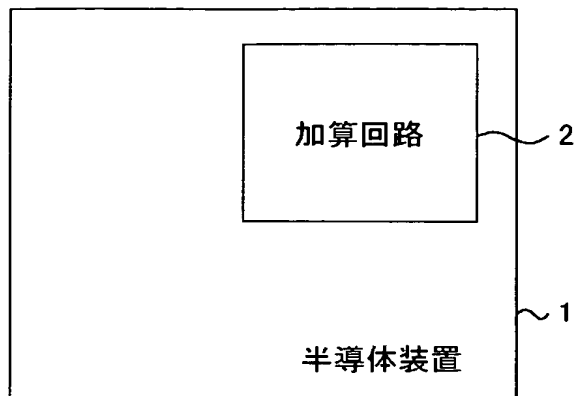
【図 6】



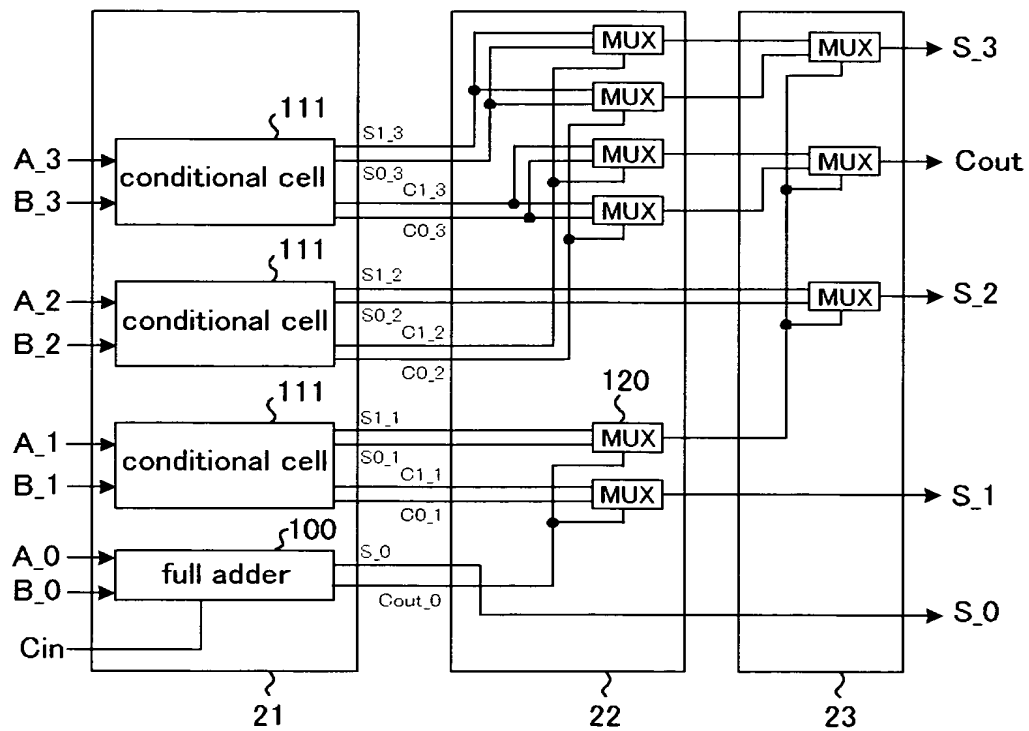
【図 7】



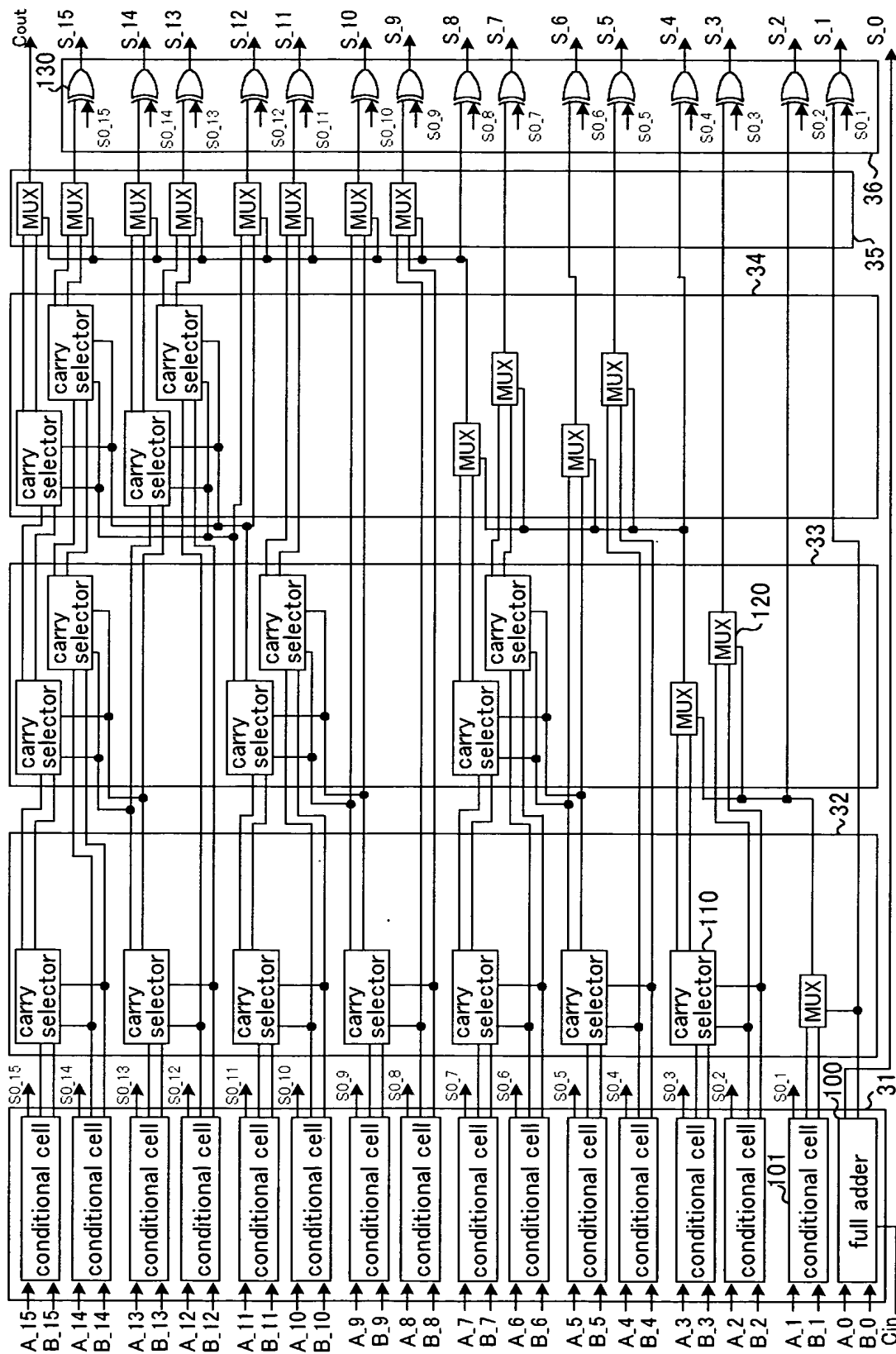
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 論理素子数および配線本数が削減されて低電力で動作でき、且つ、クリティカルパスの論理段数が低減して高速動作を可能にした加算回路を提供することである。

【解決手段】 本発明の加算回路は、 2^N ビットの場合に $(N+1)$ 段の回路ステージで構成され、 $N=4$ の 16 ビットの場合には、1 段目の条件セル回路 101 で生成され下位ビットからの桁上げがある場合とない場合とを表す仮のキャリー情報の中で最上位を除く上位 7 ビット分の仮のキャリー情報が、伝播の途中段階において変換回路 140 により仮のビット和情報に変換されて伝播し、最下位を除いた下位 7 ビット分の仮のキャリー情報から伝搬の途中で真のキャリー信号が選択される。最終段の 5 段目の回路ステージにおいてビット和 S_{15} 乃至 S_5 を生成して出力する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 3 9 7 0 7
受付番号	5 0 2 0 1 7 6 9 2 9 6
書類名	特許願
担当官	土井 恵子 4 2 6 4
作成日	平成 1 4 年 1 1 月 2 5 日

< 認定情報・付加情報 >

【提出日】	平成14年11月22日
-------	-------------

次頁無

特願 2 0 0 2 - 3 3 9 7 0 7

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社